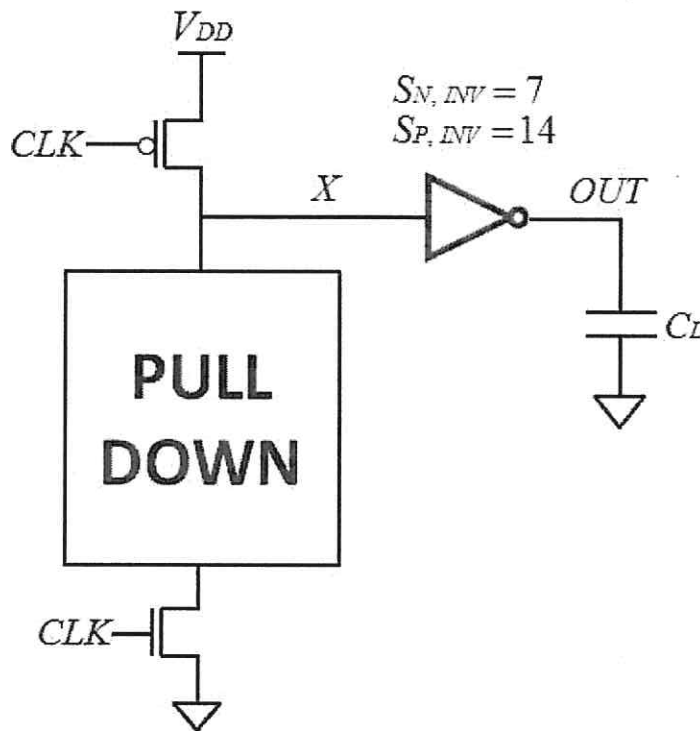


**Esercizio 1**



$$\begin{aligned}
 V_{DD} &= 1 \text{ V} \\
 V_{Tn} &= 0,25 \text{ V} \\
 V_{Tp} &= -0,25 \text{ V} \\
 \beta'_n &= 200 \mu\text{A/V}^2 \\
 \beta'_p &= 100 \mu\text{A/V}^2 \\
 C_{ox} &= 23 \text{ fF}/\mu\text{m}^2 \\
 L_{min} &= 0,09 \mu\text{m} \\
 \lambda &= \gamma = 0
 \end{aligned}$$

Con riferimento al circuito in figura, si considerino i transistori esauriti al 90% dell'escursione di tensione, si assumano istantanei i fronti dei segnali applicati agli ingressi e si considerino disaccoppiati i transistori di stadi in cascata (il transistoro di uno stadio inizia quando è terminato quello dello stadio a monte). Si consideri poi  $C_L = 20 \text{ fF}$  la capacità di carico al nodo di uscita OUT. Il candidato risponda ai seguenti quesiti:

1. Progettare la rete di Pull-Down del circuito DOMINO in figura in modo che la funzione logica al nodo di uscita sia:

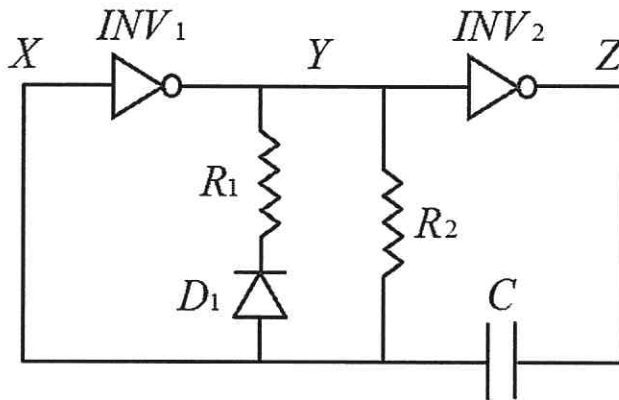
$$OUT = \bar{A} \cdot B \cdot \bar{C} \cdot D + (\bar{A} + C) \cdot (\bar{B} + \bar{D})$$

2. Sapendo che i transistori del gate logico NOT del secondo stadio hanno fattore di forma  $S_{N,INV} = 7$  e  $S_{P,INV} = 14$ , si dimensiona il fattore di forma dei transistori NMOS del primo stadio  $S_N$  (uguale per tutti) in modo che, durante la fase di valutazione, nel caso peggiore il transistoro di salita al nodo OUT abbia durata non superiore a 145 ps.
3. Si consideri la configurazione degli ingressi:  $A=1 \ B=0 \ C=1 \ D=1$ . Calcolare la potenza dinamica media dissipata dal circuito nel caso di segnale di clock con frequenza  $f_{CLK} = 25 \text{ MHz}$ . Ripetere il calcolo nel caso della configurazione degli ingressi  $A=1 \ B=1 \ C=0 \ D=1$ .
4. Realizzare in tecnologia FCMOS a singolo stadio la funzione logica del punto 1.

*M*

*AB*

**Esercizio 2**

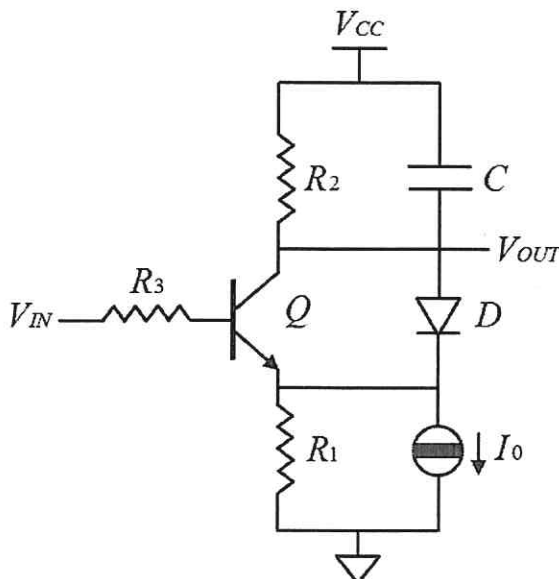


- $V_{DD} = 3,3 V$
- $V_{LT,1} = 1,65 V$
- $V_{LT,2} = 1,65 V$
- $V_{\gamma} = 0,6 V$
- $R_1 = 20 k\Omega$
- $R_2 = 20 k\Omega$
- $C = 8 nF$

Con riferimento al circuito in figura e assumendo i due gate logici NOT in tecnologia CMOS (INV<sub>1</sub> e INV<sub>2</sub>) ideali e con la medesima soglia logica ( $V_{LT,1} = V_{LT,2}$ ) e il diodo ideale descritto con un modello a soglia ( $V_{\gamma}$ ), il candidato risponda ai seguenti quesiti.

1. Tracciare l'andamento delle forme d'onda delle tensioni ai nodi X, Y e Z in funzione del tempo.
2. Determinare frequenza e duty-cycle del segnale  $V_Z$  (tensione al nodo Z).

**Esercizio 3**



- $V_{CC} = 5 V$
- $\beta_F = 100$
- $V_{BE,ON} = 0,7 V$
- $V_{CE,SAT} = 0,2 V$
- $V_{\gamma} = 0,7 V$
- $R_1 = 1 k\Omega$
- $R_2 = 2 k\Omega$
- $R_3 = 25 k\Omega$
- $C = 2 nF$
- $I_0 = 1 mA$

Con riferimento al circuito in figura, si considerino il transistor BJT npn (Q) e il diodo (D) come ideali e descritti da un modello a soglia. Il candidato risponda ai seguenti quesiti.

1. Determinare la regione di funzionamento di Q e D al variare di  $V_{IN}$  nell'intervallo  $[0 - V_{CC}]$ .
2. Disegnare il circuito ai piccoli segnali in corrispondenza del punto di lavoro  $V_{IN} = 2 V$ .

*7h*